

(4)

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-214464

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H04J 11/00

H04L 7/00

H04L 27/22

(21)Application number : 08-017451

(71)Applicant : FUJITSU TEN LTD

(22)Date of filing : 02.02.1996

(72)Inventor : MIYANO TAKESHI

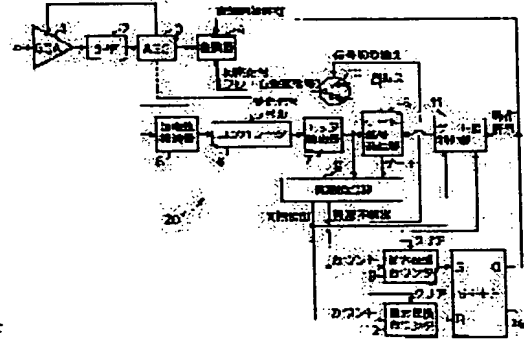
## (54) SYNCHRONISM DETECTION DEVICE FOR ORTHOGONAL FREQUENCY DIVISION MULTIPLEX RECEIVER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent erroneous synchronism for multi-path phasing by switching a synchronizing signal from a detection edge into a pulse signal with a synchronism non-detection signal so as to execute demodulation.

**SOLUTION:** A synchronism detection part 9 is connected to an edge detector 7 and a gate signal generator 8. When the edge is detected in a gate period, a synchronism detection signal is outputted. When the edge is not detected in the gate period, the synchronism non-detection signal is outputted. A switch 10 selected the output of the edge detector 7 and the pulse signal output of the gate signal generator 8. The output of the edge detector 7 is switched to the pulse signal output of the gate signal generator 8 with the synchronism non-detection signal of the synchronism detection part 9, and it is outputted to a demodulator 4 as a frame head.

Namely, an operation load is reduced and erroneous synchronism is reduced since the judgment of pull-in is an operation at every frame synchronism. Thus, the precision of synchronism improves and the operation which is always stable can be obtained.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 J 11/00			H 0 4 J 11/00	Z
H 0 4 L 7/00			H 0 4 L 7/00	F
27/22			27/22	C

審査請求 未請求 請求項の数 4 O L (全 5 頁)

(21) 出願番号 特願平8-17451

(22) 出願日 平成8年(1996)2月2日

(71) 出願人 000237592

富士通テン株式会社

兵庫県神戸市兵庫区御所通1丁目2番28号

(72) 発明者 宮野 健

兵庫県神戸市兵庫区御所通1丁目2番28号

富士通テン株式会社内

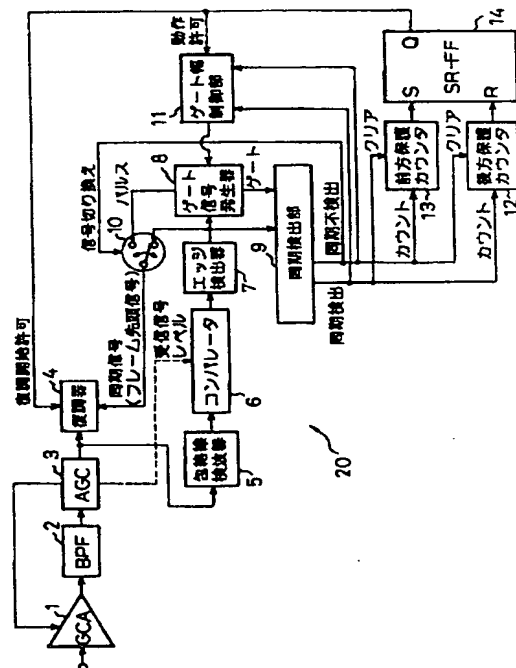
(74) 代理人 弁理士 石田 敬 (外3名)

(54) 【発明の名称】 直交周波数分割多重受信機の同期検出装置

## (57) 【要約】

【課題】 マルチパスフェージング時の誤同期を防止する。

【解決手段】 一定長のフレーム間のヌルシンボルから検出される同期信号を基に復調を行う受信機の同期検出装置に、受信信号の包絡線検波を行ってヌルシンボルを検出する包絡線検波器5と、検出されたヌルシンボルの信号波形を矩形波に整形するコンパレータ6と、矩形波のエッジを検出して同期信号として用いるためのエッジ検出器7と、検出エッジからフレーム長毎に、同期信号として用いるためのパルス信号と一定幅ゲート信号を出力するゲート信号発生器8と、エッジ検出器から検出エッジを及びゲート信号発生器から一定幅ゲート信号を入力して、ゲート幅内に検出エッジが入力されなければ同期不検出信号を出力する同期検出部9と、同期不検出信号により同期信号を検出エッジからパルス信号に切り換えて復調を行わせるためのスイッチ部10とが設けられる。



## 【特許請求の範囲】

【請求項 1】 直交周波数分割多重信号を受信し一定長のフレーム間のヌルシンボルから検出される同期信号を基に復調を行う受信機の同期検出装置において、前記受信信号の包絡線検波を行って前記ヌルシンボルを検出する包絡線検波器と、検出されたヌルシンボルの信号波形を矩形波に整形するコンパレータと、前記矩形波のエッジを検出して同期信号として用いるためのエッジ検出器と、前記検出エッジから前記フレーム長毎に、同期信号として用いるためのパルス信号と一定幅ゲート信号を出力するゲート信号発生器と、前記エッジ検出器から検出エッジを及び前記ゲート信号発生器から一定幅ゲート信号を入力して、ゲート幅内に検出エッジが入力されれば、同期検出信号を出力し、検出エッジが入力されなければ同期不検出信号を出力する同期検出部と、前記同期不検出信号により同期信号を前記検出エッジから前記パルス信号に切り換えて復調を行わせるためのスイッチ部とを備えることを特徴とする直交周波数分割多重受信機の同期検出装置。

【請求項 2】 さらに、前記同期検出信号及び前記同期不検出信号を入力するゲート幅制御部を設け、該ゲート幅制御部は、前記同期検出信号が入力されると毎に前記一定幅ゲート信号のゲート幅を狭くし、又は前記同期不検出信号を入力する毎に前記一定幅ゲート信号のゲート幅を広くすることを特徴とする、請求項 1 に記載の直交周波数分割多重受信機の同期検出装置。

【請求項 3】 さらに、前記同期検出信号及び前記同期不検出信号を入力する後方保護カウンタ及び前方保護カウンタを設け、前記後方保護カウンタは前記同期検出信号が連続して入力するときに同期引き込みができたと判断して復調の動作を開始し、又は前記前方保護カウンタは前記同期不検出信号が連続して入力するときに同期がはずれたと判断して復調の動作を停止することを特徴とする、請求項 1 に記載の直交周波数分割多重受信機の同期検出装置。

【請求項 4】 さらに、前記同期検出信号及び前記同期不検出信号を入力する後方保護カウンタ及び前方保護カウンタを設け、前記後方保護カウンタは前記同期検出信号が連続して入力するときに同期引き込みができたと判断して前記ゲート幅制御部の動作を開始し、又は前記前方保護カウンタは前記同期不検出信号が連続して入力するときに同期がはずれたと判断して前記ゲート幅制御部の動作を停止することを特徴とする、請求項 1 に記載の直交周波数分割多重受信機の同期検出装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、直交周波数分割多

重 (OFDM) 受信機に関し、特にマルチパスフェージング時の誤同期を防止できる同期検出装置に関する。

## 【0002】

【従来の技術】 図 4 は、直交周波数分割多重受信機で受信されるフレーム構成を説明する図である。本図に示すように、ベースバンドデータは、フレームに分割され、各フレームはある決められた数のシンボルからなり、それぞれのシンボルは一定の周波数間隔を有する非常に多くの直交キャリア波で構成されるものである。

【0003】 シンボルは、送信時に IFFT (逆高速フーリエ変換) 変調が行われ、受信時に FFT (高速フーリエ変換) 復調が行われて、デジタルデータを得ることができる。フレーム間には設けられたヌルシンボル (信号が何もない) は同期信号として使用される。図 5 はフレームの先頭 (同期信号の位置) を説明する図である。本図 (a) に示す受信信号を、本図 (b) に示す包絡線に細かくサンプルし、ヌルシンボルの信号の立ち上がり時をフレームの先頭 (同期信号の位置) として、同期引き込みが行われていた。

## 【0004】

【発明が解決しようとする課題】 図 6 はマルチパスフェージング発生時のフレームの先頭 (同期信号の位置) を説明する図である。本図 (a) に示すように、しかしながら、上記同期引き込みまでの処理に時間がかかり、マルチパスフェージングで信号の振幅が変化したとき、本図 (b) に示すように、誤同期するという問題がある。

【0005】 したがって、本発明は、上記問題点に鑑み、マルチパスフェージングに対して誤同期を防止できる直交周波数分割多重受信機の同期検出装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 本発明は、前記問題点を解決するために、次の構成を有する直交周波数分割多重受信機の同期検出装置を提供する。すなわち、直交周波数分割多重信号を受信し一定長のフレーム間のヌルシンボルから検出される同期信号を基に復調を行う受信機の同期検出装置に、前記受信信号の包絡線検波を行って前記ヌルシンボルを検出する包絡線検波器と、検出されたヌルシンボルの信号波形を矩形波に整形するコンパレータと、前記矩形波のエッジを検出して同期信号として用いるためのエッジ検出器と、前記検出エッジから前記フレーム長毎に、同期信号として用いるためのパルス信号と一定幅ゲート信号を出力するゲート信号発生器と、前記エッジ検出器から検出エッジを及び前記ゲート信号発生器から一定幅ゲート信号を入力して、ゲート幅内に検出エッジが入力されれば、同期検出信号を出力し、検出エッジが入力されなければ同期不検出信号を出力する同期検出部と、前記同期不検出信号により同期信号を前記検出エッジから前記パルス信号に切り換えて復調を行わせるためのスイッチ部とが設けられる。この手段によ

り、マルチパスフェージングによる誤同期を少なくでき、フレーム周期毎の処理のため演算負荷が軽減できる。

【0007】さらに、前記同期検出信号及び前記同期不検出信号を入力するゲート幅制御部を設け、該ゲート幅制御部は、前記同期検出信号が入力されると毎に前記一定幅ゲート信号のゲート幅を狭くし、又は前記同期不検出信号を入力する毎に前記一定幅ゲート信号のゲート幅を広くする。この手段により、マルチパスフェージング発生の場合にはゲート幅を広くするので、同期信号の精度が高くなる。

【0008】さらに、前記同期検出信号及び前記同期不検出信号を入力する後方保護カウンタ及び前方保護カウンタを設け、前記後方保護カウンタは前記同期検出信号が連続して入力するときに同期引き込みができたと判断して復調の動作を開始し、又は前記前方保護カウンタは前記同期不検出信号が連続して入力するときに同期がはずれたと判断して復調の動作を停止する。この手段により、同期状態にあるときに、同期不検出でもすぐに同期はずれと判断せず、また、非同期状態にあるとき、同期検出でもすぐ同期状態と判断せず、安定した復調の動作、非動作を行う。

【0009】さらに、前記同期検出信号及び前記同期不検出信号を入力する後方保護カウンタ及び前方保護カウンタを設け、前記後方保護カウンタは前記同期検出信号が連続して入力するときに同期引き込みができたと判断して前記ゲート幅制御部の動作を開始し、又は前記前方保護カウンタは前記同期不検出信号が連続して入力するときに同期がはずれたと判断して前記ゲート幅制御部の動作を停止する。この手段により、前記と同様に、安定したゲート幅制御部の動作、非動作を行う。

#### 【0010】

【発明の実施の形態】以下本発明の実施の形態について図面を参照して説明する。図1は本発明に係る直交周波数分割多重受信機の同期検出装置を示す図である。本図に示すように、直交周波数分割多重受信機は、受信信号を入力するゲインコントロールアンプ(GCA)1と、これに接続される受信用の帯域通過フィルタ(BPF)2と、これに接続されてゲインコントローラアンプ1にゲインをフィードバックする自動ゲインコントローラ3(AGC)と、これに接続されFFT復調等を行う復調器4と、前記自動ゲインコントローラ3の出力を処理して前記復調器4に復調開始させ、かつ同期信号を与える同期検出装置20を有する。

【0011】図2は同期検出装置20においてフレーム先頭(同期信号の位置)の検出を説明する図である。同期検出装置20における包絡線検波器5は、図2示すように、自動ゲインコントローラ3で振幅が一定に保たれた信号の包絡線の検波を行う。次に、コンパレータ6は、包絡線の検波が行われた信号を閾値と比較されてデ

ィジタル値に変換される。前記閾値は自動ゲインコントローラ3の希望信号レベルから決定される。エッジ検出器7はコンパレータ6の出力の立ち上がり、つまりフレーム先頭(同期信号の位置)を検出する。

05 【0012】図3はゲート信号発生器の出力信号を説明する図である。次に、同期検出装置20におけるゲート信号発生器8は、図3に示すように、検出エッジから時間TF 毎にパルス信号と一定幅2Δのゲート信号を出力する。ここでTF はフレーム先頭の周期で既知である。したがって、時間TF ±Δ内にエッジが検出されれば、その位置がフレーム先頭(同期信号の位置)である可能性が高い。このため、誤同期を少なくできる。

15 【0013】同期検出部9はエッジ検出器7及びゲート信号発生器8に接続されゲート期間内にエッジが検出されれば、同期検出信号を出力し、ゲート期間内にエッジが検出されなければ、同期不検出信号を出力する。スイッチ10は、エッジ検出器7の出力及びゲート信号発生器8のパルス信号出力を、択一的に選択するもので、同期検出部9の同期不検出信号により、エッジ検出器の出力をゲート信号発生器8のパルス信号出力に切り換えて、フレーム先頭(同期信号の位置)として復調器4へ出力する。つまり、同期が引き込まれた状態ではエッジ検出器7から同期信号(フレーム先頭信号)が与えられ、同期不検出信号の発生によりゲート信号発生器8のパルス信号が同期信号となる。

25 【0014】ゲート幅制御部11は同期検出部9の同期検出信号及び同期不検出信号とを入力して、同期検出信号を入力する毎にゲート信号発生器のゲート幅を狭くし、逆に同期不検出信号を入力する毎にゲート幅を広くする。このようにゲート幅を制御することにより、同期信号の精度を高めることが可能になる。後方保護カウンタ12は、その保護段数をm段として、同期検出部の同期検出信号及び同期不検出信号を入力して、同期検出信号の入力をカウントし、m回連続して同期検出信号を入力すれば正しく同期引き込みできたと判断する。ただし、1回でも同期不検出信号を入力すると始めから同期検出信号の入力カウントをやり直す。すなわち、同期がはずれた状態で同期検出信号を検出してもすぐに同期状態とはせず、同期検出信号の入力回数が保護段数を越えた場合に同期状態と判断するためである。

40 【0015】前方保護カウンタ13は、その保護段数をn段として、同期不検出信号及び同期検出部を入力して、同期不検出信号の入力をカウントし、n回連続して同期不検出信号を入力すれば、同期がはずれたと判断する。ただし、1回でも同期検出信号を入力すると始めからやり直す。すなわち、同期状態にあるときに同期不検出信号を検出しても同期はずれとはせず、同期不検出信号の入力回数が保護段数を越えた場合に同期はずれと判断するためである。

50 【0016】後方保護カウンタ10及び前方保護カウン

タ11により、フレームの先頭が安定に検出される。セット・リセットフリップフロップ(SR-FF)14は後方保護カウンタ12及び前方カウンタ13に接続され、その出力信号を復調開始許可信号として前記復調器4に出力する。すなわち、セット・リセットフリップフロップ14へのリセット(R)の入力信号により同期が引き込まれた状態になって復調器4は動作を開始し、セット(S)の入力信号で復調器4は動作を停止する。したがて、安定にフレームの先頭が検出されたときだけ、復調が開始される。また、セット・リセットフリップフロップ12の出力信号で、ゲート制御部11の動作を開始させるようにしてもよい。したがって、安定にフレームの先頭が検出されたときだけ、ゲート幅の制御が行われる。

【0017】本発明によれば、同期の引き込みの判断がフレーム周期毎の動作のため、演算負荷が軽減され、マルチパスフェージングによる誤同期が少なくなり、同期の精度が向上に、常に安定した動作が得られる。

#### 【図面の簡単な説明】

【図1】本発明に係る直交周波数分割多重受信機の同期検出装置を示す図である。

【図2】同期検出装置20においてフレーム先頭(同期

信号の位置)の検出を説明する図である。

【図3】ゲート信号発生器の出力信号を説明する図である。

【図4】直交周波数分割多重受信機で受信されるフレーム構成を説明する図である。

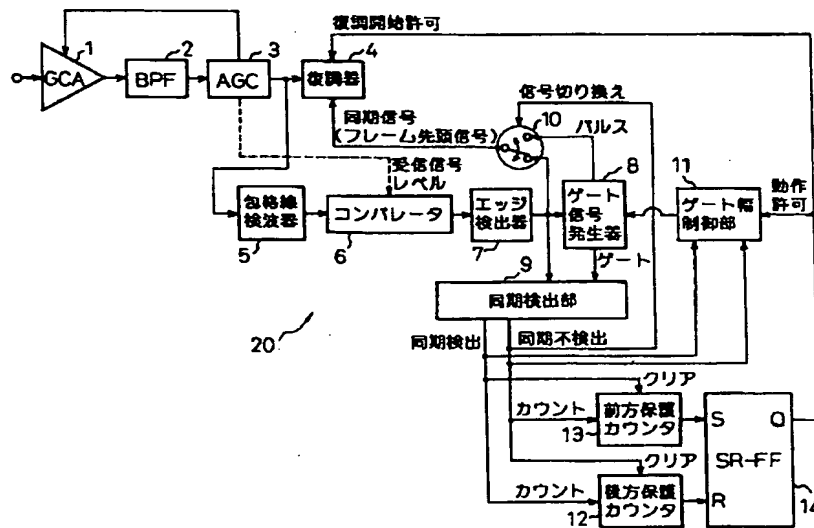
【図5】フレームの先頭(同期信号の位置)を説明する図である。

【図6】マルチパスフェージング発生時のフレームの先頭(同期信号の位置)を説明する図である。

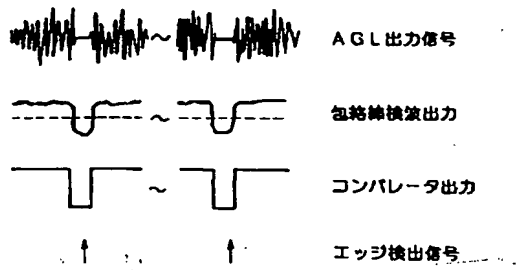
#### 【符号の説明】

- 4…復調器
- 5…包絡線検波器
- 6…コンパレータ
- 7…エッジ検出器
- 8…ゲート信号発生器
- 9…同期検出部
- 10…スイッチ部
- 11…ゲート幅制御部
- 12…後方保護カウンタ
- 13…前方保護カウンタ
- 14…セット・リセットフリップフロップ

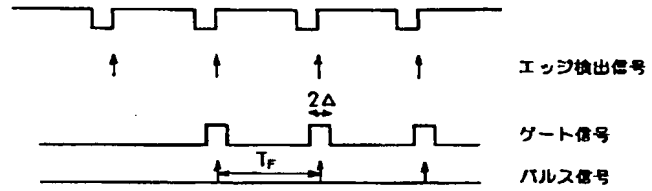
【図1】



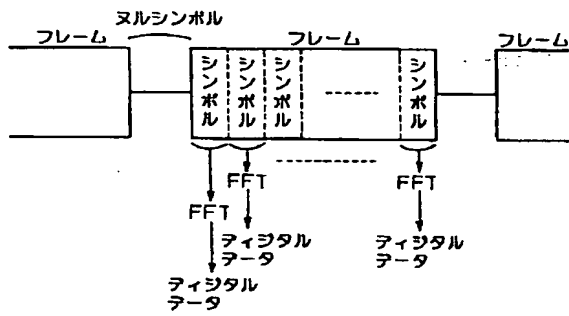
【図2】



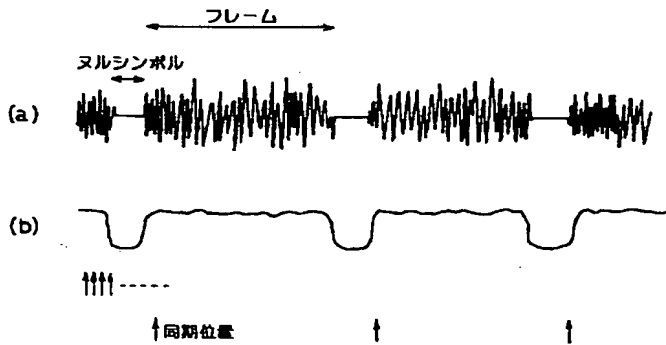
【図3】



【図4】



【図5】



【図6】

